



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001177382 A**(43) Date of publication of application: **29.06.01**

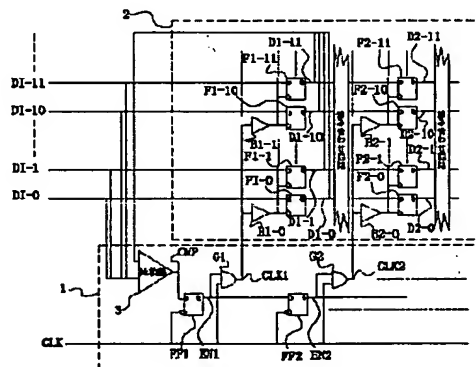
(51) Int. Cl.

H03K 3/037**G06F 1/04****G06F 1/12****G06F 9/38**(21) Application number: **11355201**(71) Applicant: **NEC IC MICROCOMPUT SYST LTD**(22) Date of filing: **14.12.99**(72) Inventor: **OZAKI YOSHIAKI****(54) LOW POWER CONSUMPTION CIRCUIT****(57) Abstract:**

PROBLEM TO BE SOLVED: To provide a low power consumption circuit having small circuit area, that can reduce power consumption of the circuit without causing malfunctions in flip-flop circuits.

SOLUTION: This low power consumption circuit is provided with a comparator 3 that provides an output of a clock stop signal, when the signal of an input data group received by a flip-flop group DI (DI-0, DI-1,..., DI-10, DI-11, etc.), matches with the signal of an output group D1 (DI-0, DI-1,..., DI-10, DI-11, etc.), a plurality of control signal transfer flip-flop circuits (FF1, FF2, etc.), that transfer the clock stop signal to post-stages sequentially at an edge which is different from the edge used by the flip-flop group, and a plurality of prescribed gates (G1, G2, etc.), that stop the supply of the clock with output signals from the control signal transfer flip-flop circuits (FF1, FF2, etc.).

COPYRIGHT: (C)2001,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-177382

(P2001-177382A)

(43)公開日 平成13年6月29日(2001.6.29)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ト*(参考)
H 0 3 K 3/037		H 0 3 K 3/037	Z 5 B 0 1 3
G 0 6 F 1/04	3 0 1	G 0 6 F 1/04	3 0 1 C 5 B 0 7 9
1/12		9/38	3 1 0 E 5 J 0 4 3
9/38	3 1 0	1/04	3 4 0 D

審査請求 未請求 請求項の数6 O L (全 11 頁)

(21)出願番号 特願平11-355201

(22)出願日 平成11年12月14日(1999. 12. 14)

(71)出願人 000232036

日本電気アイシーマイコンシステム株式会
社神奈川県川崎市中原区小杉町1丁目403番
53

(72)発明者 尾崎 佳昭

神奈川県川崎市中原区小杉町一丁目403番
53 日本電気アイシーマイコンシステム株
式会社内

(74)代理人 100095740

弁理士 開口 宗昭

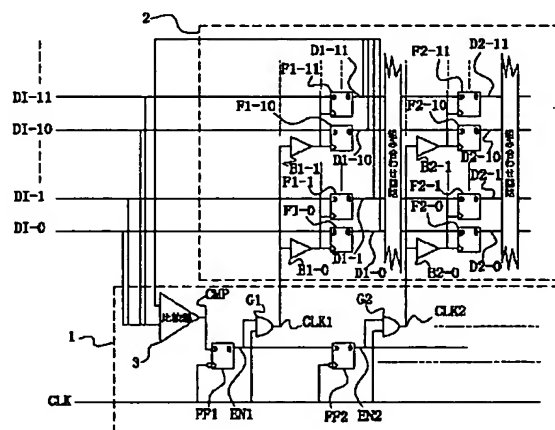
最終頁に続く

(54)【発明の名称】 低消費電力回路

(57)【要約】

【課題】 フリップフロップが誤作動を起こさず、回路面積が小さく、回路における消費電力を低減する低消費電力回路を提供することを目的とする。

【解決手段】 フリップフロップ群D I (D I-0, D I-1, ..., D I-10, D I-11, ...等)に入力される入力データ群とそのフリップフロップ群から出力される出力群D 1 (D 1-0, D 1-1, ..., D 1-10, D 1-11, ...等)との信号が一致した場合にクロック停止信号を出力する比較器3と、このクロック停止信号を前記フリップフロップ群で使用されるエッジとは異なるエッジで順に後段に転送する複数の制御信号転送用フリップフロップ(F F 1, F F 2, ...等)と、制御信号転送用フリップフロップ(F F 1, F F 2, ...等)の出力信号によりクロックの供給を停止するための複数の所定ゲート(G 1, G 2, ...等)と、を有して成ることによる。



【特許請求の範囲】

【請求項1】 あるフリップフロップ群に入力される入力データ群とそのフリップフロップ群から出力される出力群との信号が一致した場合にクロック停止信号を出力する比較器と、このクロック停止信号を前記フリップフロップ群で使用されるエッジとは異なるエッジで順に後段に転送する複数の制御信号転送用フリップフロップと、この制御信号転送用フリップフロップの出力信号によりクロックの供給を停止するための複数の所定ゲートと、を有して成ることを特徴とする低消費電力回路。

【請求項2】 前記比較器は、入力データ群の一データとそのデータに対応する出力群の一データとを入力して比較する複数の所定なるゲートと、この複数の所定なるゲートから出力される複数のデータを入力して比較する所定ゲートと、から成ることを特徴とする請求項1に記載の低消費電力回路。

【請求項3】 前記入力データ群及び前記出力群をそれぞれ複数の群に分割して、各群の入力データ端子及び出力端子に前記比較器を接続し、前記制御信号転送用フリップフロップと前記所定ゲートとを有して成ることを特徴とする請求項1又は請求項2に記載の低消費電力回路。

【請求項4】 入力されるデータが有効又は無効であるかを示すVALID信号を入力する端子が前記比較器に設けられて成ることを特徴とする請求項1から請求項3のいずれか一に記載の低消費電力回路。

【請求項5】 前記比較器は、入力データ群の一データとそのデータに対応する出力群の一データとを入力して比較する複数の所定なるゲートと、この複数の前記所定なるゲートから出力される複数のデータと前記VALID信号とを入力して比較する所定ゲートと、から成ることを特徴とする請求項4に記載の低消費電力回路。

【請求項6】 入力データ群を入力し複数の所定ゲートのそれぞれの出力をクロックとする複数のフリップフロップ群と、これらフリップフロップ群のそれぞれの間にフリップフロップ群の各フリップフロップにクロックを与えるクロックツリーを構成するバッファ群と、から成りそれぞれのフリップフロップ群の各フリップフロップの出力は組み合わせ回路を介して隣接する一方のフリップフロップ群の各フリップフロップに入力される回路における入力データ群が前記入力データ群であり、各フリップフロップの出力の群が前記出力群であることを特徴とする請求項1から請求項5のいずれか一に記載の低消費電力回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、フリップフロップに供給するクロックを制御することができる低消費電力回路に関する。

【0002】

【従来の技術】近年、LSIの高集積化に伴い1チップに搭載される回路規模は大きくなっている。また、動作周波数が高くなりLSIの消費電力も増加している。

【0003】携帯端末（携帯電話、PDA等）などに搭載されるLSIでは、バッテリーで動作させるため、LSIが消費する電力を低く設定することが技術課題となっている。近年のLSI設計においては大規模な回路を短時間で設計しなければならないため、論理合成ツールを使用したクロック同期設計がLSIを設計するうえで主流となっている。そのため、LSIに搭載されるクロックに同期して動作するフリップフロップ数は増加することになる。また、フリップフロップ数の増加に伴い、フリップフロップのクロック入力とフリップフロップにクロックを供給するクロックツリーとの消費電力が増加する傾向がある。そのため、LSIの設計では必要に応じてフリップフロップに入力されるクロックを制御することが可能な低消費電力回路を必要としている。

【0004】必要に応じてフリップフロップに供給するクロックを制御することができる可能性のある低消費電力回路として、特開平07-044265号公報、特開平10-290143号公報及び特開平09-191237号公報に記載された回路がある。

【0005】特開平07-044265号公報に記載された低消費電力回路について、従来例1として図7及び図8を用いて説明する。図7は、データ処理回路に接続した従来例1の低消費電力回路の回路図を示す。図8は、データ処理回路に接続した従来例1の低消費電力回路の動作を示すタイミング図である。特開平07-044265号公報に記載された低消費電力回路1は、データ処理回路2の各ステージのフリップフロップ群（F1-0, F1-1, ..., F2-0, F2-1, ...等）のクロックと、そのクロックを駆動するクロックツリーバッファ群（B1-0, B1-1, ..., B2-0, B2-1, ...等）と、の動作を必要に応じて休止することにより消費電力を低減するものである。低消費電力回路1ではデータが有効又は無効であるかを示すVALID信号が1（信号「1」の場合データは無効；以下信号として、「1」、「0」の表記はそれぞれ「ハイ・レベル」、「ロー・レベル」と読み替えることができるものとする）の場合、第1ステージのフリップフロップ群F1（F1-0, F1-1, ...等）のクロックと、そのクロックを駆動する第1ステージのクロックツリーバッファ群B1（B1-0, B1-1, ...等）と、へのクロック供給を停止する。つぎにこのVALID信号は、クロック信号であるCLKの立ち上がりで第2ステージのVALID信号転送用フリップフロップFF2に転送され、第2ステージのフリップフロップ群F2（F2-0, F2-1, ..., F2-10, F2-11, ...等）のクロックと、そのクロックを駆動する第2ステージのクロックツリーバッファ群B2（B2-0, B2-1, ...

等)と、へのクロック供給を停止する。以降同様にし、CLKの立ち上がりで第3ステージのVALID信号転送用のフリップフロップ、第4ステージのVALID信号転送用のフリップフロップ、…の順にVALID信号を転送する。これによって、各ステージのフリップフロップ群のクロックとそのクロックを駆動するクロックツリーバッファ群とへのクロック供給を停止することができる。一方VALID信号が0(データは有効)の場合は、第1ステージのフリップフロップ群F1とクロックツリーバッファ群B1とにクロックの供給を再開する。つぎにVALID信号は、CLKの立ち上がりで第2ステージのVALID信号転送用フリップフロップF2に転送され、第2ステージのフリップフロップ群F2とクロックツリーバッファ群B2とにクロックの供給を再開する。以上の説明のように、データ処理回路の各ステージのクロック供給を個別に制御することで、回路での消費電力の低減する。

【0006】つぎに、特開平10-290143号公報に記載された低消費電力回路について、従来例2として図9及び図10を参照して説明する。図9は、従来例2の低消費電力回路の回路図を示す。図10は従来例2の低消費電力回路の動作を示すタイミング図である。特開平10-290143号公報に記載された低消費電力回路1は、フリップフロップFAの出力DAと入力データDIとを入力とし、それぞれの値を比較する排他的ORゲートCAを備える。フリップフロップFAの出力DAと入力データDIとが一致する場合は、ANDゲートGAでクロック信号CLKの供給を停止することによって消費電力を低減する。

【0007】つぎに、特開平09-191237号公報に記載された信号処理回路について、従来例3として説明する。従来例3の信号処理回路は、一のフリップフロップに比較器を一つづつ備え、一のフリップフロップに一つづつ備えたANDゲートでフリップフロップ中のクロックを停止する信号処理回路である。

【0008】

【発明が解決しようとする課題】しかし、特開平07-044265号公報に記載された低消費電力回路では、クロックを停止する信号(入力データが有効又は無効であるかを示す)を外から与えることができるシステムにしか使用することができず、システムによっては電力を浪費してしまう問題がある。また、同じデータが連続して入力された場合、同じデータであることを検知しクロック供給を停止する手段を備えないため、フリップフロップへのクロック供給を停止することができず電力を浪費してしまう問題がある。更に、第1ステージのフリップフロップ群のクロックであるCLK1は、CLKとVALID信号を入力とするORゲートにおいて生成される。そのため、CLKが0の間にVALID信号に0、1、0と変化する信号(以下ひげと称する;短時間

でデジタル信号が0、1、0と変化する信号を一般にひげと称する)が発生すると第1ステージのフリップフロップ群が誤動作するという問題がある。また、図8のタイミング図に示すとおり、時刻t5、t6、t7、t8のようにVALID信号がCLKと同じ周期で動作した場合、無効なデータまで取り込んでしまい、タイミング調整が難しく回路を誤動作させる可能性があるという問題がある。

【0009】また、特開平10-290143号公報に記載された低消費電力回路では、1個のフリップフロップに対して低消費電力回路(排他的ORゲート1個とANDゲート1個)が1個ずつ必要である。したがってフリップフロップの個数に比例して回路面積が増えてしまうという問題がある。また、遅延ゲートなどを挿入しタイミングを調整しない場合は、図10のタイミング図に示すように排他的ORゲートCAの出力にひげが発生し、タイミング調整が難しく回路を誤動作させる可能性があるという問題がある。

【0010】更に、特開平09-191237号公報に記載された信号処理回路ではパイプライン処理回路を作るとすれば、フリップフロップと同数の比較器とANDゲートとが必要になる。したがって、フリップフロップの個数に比例して回路面積が増えてしまうという問題がある。また、フリップフロップにクロックを供給するクロックツリーの動作を停止することはできない。更に、クロックがハイ・レベルの間に入力データにひげの箇所があるとフリップフロップが誤動作してしまう問題がある。

【0011】以上の従来技術における問題に鑑み本発明は、フリップフロップが誤動作を起こさず、回路面積が小さく、回路における消費電力を低減する低消費電力回路を提供することを目的とする。

【0012】

【課題を解決するための手段】前記課題を解決する本出願第1の発明の低消費電力回路は、あるフリップフロップ群に入力される入力データ群とそのフリップフロップ群から出力される出力群との信号が一致した場合にクロック停止信号を出力する比較器と、このクロック停止信号をデータ処理回路と異なるエッジで順に後段に転送する複数の制御信号転送用フリップフロップと、この制御信号転送用フリップフロップの出力信号によりクロックの供給を停止するための複数の所定ゲートと、を有して成ることを特徴とする。

【0013】したがって、本出願第1の発明の低消費電力回路によれば、クロックを停止する信号を外から与えなくても、消費電力を低減することができる。また、同じデータが連続して入力された場合、フリップフロップとフリップフロップのクロックを駆動するクロックツリーとへのクロック供給を停止させ、消費電力の低減ができる。更にクロックの供給/停止の制御をデータ処理

回路と異なるエッジで後段に順に転送される信号で行っており、タイミング調整が容易で誤動作をしないようにすることができる。ここで所定ゲートとは、例えばANDゲート又はORゲートがある。しかしこれらに限定されず、クロックを停止することができ、比較器で一致であるか不一致であるかが判定できれば、どのような論理ゲートでもよい。

【0014】本出願第2の発明の低消費電力回路は、本出願第1の発明の低消費電力回路において、前記比較器は、入力データ群の一データとそのデータに対応する出力群の一データとを入力して比較する複数の所定なるゲートと、この複数の所定なるゲートから出力される複数のデータを入力して比較する所定ゲートと、から成ることを特徴とする。

【0015】したがって、本出願第2の発明の低消費電力回路によれば、各所定なるゲートの二入力をそれぞれ比較し、その出力を所定ゲートに出力して、各所定なるゲートの二入力全体が一致する場合にクロック停止信号を出力することが可能になる。ここで所定なるゲートと所定ゲートとは、例えば排他的ORゲートとANDゲートとがある。しかしこれらに限定されず、クロックを停止することができ、比較器で一致であるか不一致であるかが判定できれば、どのような組合わせの論理ゲートでもよい。

【0016】本出願第3の発明の低消費電力回路は、本出願第1又は本出願第2の発明の低消費電力回路において、前記入力データ群及び前記出力群をそれぞれ複数の群に分割して、各群の入力データ端子及び出力端子に前記比較器を接続し、前記制御信号転送用フリップフロップと前記所定ゲートとを有して成ることを特徴とする。

【0017】したがって、本出願第3の発明の低消費電力回路によれば、分割される入力データ群及び前記出力群ごとに各群のクロックを別々に制御することができる。ここで所定ゲートとは、例えばANDゲートがある。しかしこれに限定されず、クロックを停止することができ、比較器で一致であるか不一致であるかが判定できれば、どのような論理ゲートでもよい。

【0018】本出願第4の発明の低消費電力回路は、本出願第1から本出願第3のいずれかの発明の低消費電力回路において、入力されるデータが有効又は無効であることを示すVALID信号を入力する端子が前記比較器に設けられて成ることを特徴とする。

【0019】したがって、本出願第4の発明の低消費電力回路によれば、同じデータが連続して入力された場合以外で無効なデータが入力された場合も、各ステージのフリップフロップ群のクロックとクロックツリーとにクロックを供給することを停止することができる。

【0020】本出願第5の発明の低消費電力回路は、本出願第4の発明の低消費電力回路において、前記比較器は、入力データ群の一データとそのデータに対応する出

力群の一データとを入力して比較する複数の所定なるゲートと、この複数の前記所定なるゲートから出力される複数のデータと前記VALID信号とを入力して比較する所定ゲートと、から成ることを特徴とする。

【0021】したがって、本出願第5の発明の低消費電力回路によれば、各所定なるゲートの二入力をそれぞれ比較し、その出力を所定ゲートに出力して、各所定なるゲートの二入力とVALID信号とが全て一致する場合にクロック停止信号を出力することが可能になる。ここで所定なるゲートと所定ゲートとは、例えば排他的ORゲートとANDゲートとがある。しかしこれらに限定されず、クロックを停止することができ、比較器で一致であるか不一致であるかが判定できれば、どのような組合わせの論理ゲートでもよい。

【0022】本出願第6の発明の低消費電力回路は、本出願第1から本出願第5のいずれかの発明の低消費電力回路において、入力データ群を入力し複数の所定ゲートのそれぞれの出力をクロックとする複数のフリップフロップ群と、これらフリップフロップ群のそれぞれの間にフリップフロップ群の各フリップフロップにクロックを与えるクロックツリーを構成するバッファ群と、から成りそれぞれのフリップフロップ群の各フリップフロップの出力は組み合わせ回路を介して隣接する一方のフリップフロップ群の各フリップフロップに入力される回路における入力データ群が前記入力データ群であり、各フリップフロップの出力の群が前記出力群であることを特徴とする。

【0023】したがって、本出願第6の低消費電力回路によれば、入力データ群を入力し複数の所定ゲートのそれぞれの出力をクロックとする複数のフリップフロップ群と、これらフリップフロップ群のそれぞれの間にフリップフロップ群の各フリップフロップにクロックを与えるクロックツリーを構成するバッファ群と、から成りそれぞれのフリップフロップ群の各フリップフロップの出力は組み合わせ回路を介して隣接する一方のフリップフロップ群の各フリップフロップに入力されるデータ処理回路において、クロックを停止する信号を外部から与えなくても、消費電力を低減することができる。また、同じデータが連続して入力された場合、フリップフロップとフリップフロップのクロックを駆動するクロックツリーとへのクロック供給を停止させ、消費電力の低減ができる。更に、タイミング調整が容易で誤動作をしないようにすることができる。ここで所定ゲートとは、例えばANDゲートがある。しかしこれに限定されず、クロックを停止することができ、比較器で一致であるか不一致であるかが判定できれば、どのような論理ゲートでもよい。

【0024】

【発明の実施の形態】第一の実施の形態

本発明における第一の実施の形態の低消費電力回路を図

1から図3を参照して説明する。本実施の形態の低消費電力回路1は、入力データ群D1(D1-0, D1-1, ..., D1-10, D1-11, ...等)と出力群D1(D1-0, D1-1, ..., D1-10, D1-11, ...等)とが一致した場合はクロック停止信号をCMPに出力する比較器3と、クロック停止信号をクロック信号CLKの立ち下がりで順に後段に転送する制御信号転送用フリップフロップ(FF1, FF2, ...等)と、その制御信号転送用フリップフロップの出力信号によりクロックの供給を停止するためのANDゲート(G1, G2, ...等)と、を有して成る。比較器3は、第1ステージのフリップフロップ群F1(F1-0, F1-1, ..., F1-10, F1-11, ...等)の出力群D1と入力データ群D1とを比較する。第1ステージのフリップフロップ群F1の出力値と入力データ群D1とをビット毎に比較し、全ての信号が一致するとクロック停止する。1ビットでもそれぞれの入力信号が異なる場合はクロック動作の信号を出力する。ここで、クロックを動作させなくてもフリップフロップの出力はクロックを動作させたときと同じである。ステージ0の制御信号転送用フリップフロップFF1では、クロックの立ち下がりでは比較器の出力を取り込む。その他ステージの制御信号転送用フリップフロップ(FF2, FF3, ...等)は、1つ前のステージの制御信号転送用フリップフロップのデータを入力する。各ステージにあるクロックを止めるためのANDゲート(G1, G2, ...等)は、それぞれ制御信号転送用フリップフロップの出力によって、それぞれのステージのフリップフロップの動作をそのステージのクロックツリーも含めて停止又は作動させる機能を有する。

【0025】一方、本発明の低消費電力回路に接続するデータ処理回路2は、入力データ群D1(D1-0, D1-1, ..., D1-10, D1-11, ...等)と、低消費電力回路1のANDゲートのそれぞれの出力(CLK1, CLK2, ...等)をクロックとする第1ステージのフリップフロップ群F1(F1-0, F1-1, ..., F1-10, F1-11, ...等)と、第2ステージのフリップフロップ群F2(F2-0, F2-1, ..., F2-10, F2-11, ...等)と、を備える。また、フリップフロップ群のそれぞれのステージと間にクロックツリーを構成するバッファ群B1(B1-0, B1-1, ...等), B2(B1-0, B1-1, ...等)とをそれぞれ備えている。更に、第1ステージのフリップフロップ群F1の出力D1は、組合せ回路を介して第2ステージのフリップフロップ群F2に接続されている。

【0026】本発明の第一の実施の形態の低消費電力回路では、クロック停止信号を次段の第2ステージのフリップフロップF2(F2-0, F2-1, ..., F2-10, F2-11, ...等)のクロックとクロックツリーのクロック供給を制御するためのフリップフロップFF2と

に転送する。これによって、第2ステージのフリップフロップ群F2に供給されるクロックの動作を停止するものである。

【0027】つぎに、本実施の形態の低消費電力回路における比較器3の構成について説明する。係る比較器は、排他的ORゲートとANDゲートとの組み合わせで容易に実現できる。図2は、本実施の形態の低消費電力回路における比較器3の構成例を示す回路図である。排他的ORゲートであるE0, E1, ...等で入力D1-0とD1-0, D1-1とD1-1, ...等をそれぞれ比較し、その出力をANDゲートであるAに出力する。D1-0とD1-0, D1-1とD1-1, ...等が全て一致すると出力CMPよりクロック停止信号を出力する。

【0028】つぎに、本実施の形態の低消費電力回路の回路動作について図3のタイミング図を参照して説明する。図3において、クロック信号CLKは、時刻t0, t2, t4, ..., t16(t0又はt「偶数」)で立ち上がり、時刻t1, t3, t5, ..., t17(t「奇数」)で立ち下がる。入力端子D1のデータは、CLKの立ち上がりから少し遅れて入力される。時刻t1では、D1とD1とは一致しないため、CMPは1(クロック供給)を出力している。FF1の出力EN1は1(クロック供給)となっており、時刻t2のCLK立ち上がりでG1に接続されるB1とF1とのクロックに供給され、D1は、data1に更新される。時刻t3では、D1とD1とのデータは一致している。そのため、CMPは0(クロック停止)となっている。CLKの立ち下がりではEN1は0(クロック停止)となり、G1に接続されるB1とF1のクロック供給は停止される。また、時刻t3においてEN2が1(クロック供給)となっており、時刻t4のCLK立ち上がりでは、G2に接続されるB2とF2とにクロックが供給され、D2はdata1'に更新される。時刻t5では、D1とD1とのデータは一致しているため、CMP, EN1は共に0(クロック停止)のままである。時刻t3, t4と同様にG1に接続されるB1とF1とは時刻t6で動作しない。また、時刻t5においてCLK立ち下がり、時刻t5から時刻t6までの間においてEN2が0(クロック停止)となり、B2とF2のクロック供給は停止される。そのため、G2に接続されるB2群とF2群とは時刻t6で動作しない。時刻t7では、D1とD1とのデータは一致しないため、CMPは1(クロック供給)を出力している。CLK立ち下がりではEN1は1(クロック供給)となり、G1に接続されるB1とF1とへのクロック供給が再開される。時刻t8のCLK立ち上がりでG1に接続されるB1とF1とのクロックは動作し、D1はdata2に更新される。また、時刻t7においてEN1が0(クロック停止)であるため、時刻t3, t4と同様にG2に接続されるB2とF2とは動作しない。時刻t9では、D1とD1とのデータは一致しない

ため、比較器3の出力CMPは、1（クロック供給）を出力する。同様にEN1は1（クロック供給）となっており、時刻t10のCLK立ち上がりでG1に接続される群B1と群F1とは動作し、D1はdata3に更新される。また、時刻t9では、EN1が1（クロック供給）となっているため、CLK立ち下がりでEN2は1（クロック供給）となり、G2に接続される群B2と群F2とへのクロック供給が再開される。時刻t10のCLK立ち上がりで、G2に接続されるB2とF2とのクロックは動作し、D2はData2'に更新される。このように時刻t11以降同様に、入力端子DIのデータと第1ステージのフリップフロップ群F1との出力D1が一致した場合は、制御信号転送用フリップフロップFF1の出力EN1は0（クロック停止）、一致しなかった場合は1（クロック供給）となりクロックの供給を制御する。また、制御信号転送用フリップフロップFF2の出力EN2は、制御信号転送用フリップフロップFF1の出力EN1の1周期遅れで更新され、クロックの供給を制御する。更に、クロックの供給/停止の制御をクロック信号の立ち下がりで行っており、クロック信号の立ち上がりで競合することがないため、タイミング調整が容易で誤動作をしないようにすることができる。

【0029】本実施の形態では、データ処理回路がクロックの立ち上がりで動作し、クロック停止信号が立ち下がりで転送する場合において記載したが、この場合に限定されるわけではない。すなわち、データ処理回路がクロックの立ち下がりで動作し、クロック停止信号が立ち上がりで転送する場合も本発明を実施することは可能である。この場合においても、本実施の形態で説明したようにデータ処理回路のクロックとクロック停止信号とは競合しないので、タイミング調整が容易になる。すなわち、データ処理回路とクロック停止信号とが異なるエッジを使用している場合には、タイミング調整が容易になる。以上本発明の第一の実施の形態の低消費電力回路によれば、フリップフロップ群DI（DI-0, DI-1, ..., DI-10, DI-11, ...等）に入力される入力データ群とそのフリップフロップ群から出力される出力群D1（D1-0, D1-1, ..., D1-10, D1-11, ...等）との信号が一致した場合にクロック停止信号を出力する比較器3と、このクロック停止信号を前記フリップフロップ群で使用されるエッジとは異なるエッジで順に後段に転送する複数の制御信号転送用フリップフロップ（FF1, FF2, ...等）と、制御信号転送用フリップフロップ（FF1, FF2, ...等）の出力信号によりクロックの供給を停止するための複数の所定ゲート（G1, G2, ...等）と、を有して成ることにより、クロックを停止する信号を外部から与えなくても、消費電力を低減することができる。また、同じデータが連続して入力された場合、フリップフロップとフリップフロップのクロックを駆動するクロックツリーとへのク

ロック供給を停止させ、消費電力の低減ができる。更に、タイミング調整が容易で誤動作をしないようにすることができる。また、フリップフロップの個数に比例して回路面積が増加しないようにすることができる。

【0030】第二の実施の形態

本発明における第二の実施の形態の低消費電力回路を図4を参照して説明する。図4に示される本実施の形態の低消費電力回路の回路図では、データ幅64ビットのデータ処理回路を32ビットごとに本発明の低消費電力回路を挿入している。本実施の形態の低消費電力回路では、予め上位32ビットと下位32ビットとのデータの動作率が異なっていることが既知である場合に有効である。この構成によって、上位32ビットと下位32ビットとの各ステージのクロックを別々に制御することができるため、更に消費電力を低減することができる。その他の構成及び動作は第一の実施の形態の低消費電力回路と同様である。

【0031】以上本発明の第二の実施の形態の低消費電力回路によれば、フリップフロップ群DI（DI-0, DI-1, ..., DI-10, DI-11, ...等）に入力される入力データ群とそのフリップフロップ群から出力される出力群D1（D1-0, D1-1, ..., D1-10, D1-11, ...等）との信号が一致した場合にクロック停止信号を出力する比較器3と、このクロック停止信号を前記フリップフロップ群で使用されるエッジとは異なるエッジで順に後段に転送する複数の制御信号転送用フリップフロップ（FF1, FF2, ...等）と、制御信号転送用フリップフロップ（FF1, FF2, ...等）の出力信号によりクロックの供給を停止するための複数の所定ゲート（G1, G2, ...等）と、を有して成り、入力データ群（DI-0, DI-1, ..., DI-63）及び出力群を複数の群に分割して、それぞれの群の入力データ端子及び出力端子に比較器を接続し、制御信号転送用フリップフロップと所定ゲートとを有することにより、上位32ビットと下位32ビットとの各ステージのクロックを別々に制御できるため、より消費電力を低減することができる。また、タイミング調整が容易で誤動作をしないようにすることができる。更に、フリップフロップの個数に比例して回路面積が増加しないようにすることができる。

【0032】第三の実施の形態

本発明における第三の実施の形態の低消費電力回路を図5及び図6を参照して説明する。図5に示される本実施の形態の低消費電力回路の回路図では、データが有効又は無効であることを示すVALID信号が比較器3に入力されている。図6は、本実施の形態の低消費電力回路における比較器3の構成例を示す回路図である。排他的ORゲートであるE0, E1, ...等で入力DI-0とD1-0, DI-1とD1-1, ...等をそれぞれ比較し、その出力をANDゲートであるAに出力する。DI-0と

D1-0, D1-1とD1-1, ...等とVALID信号とが全て一致すると出力CMPよりクロック停止信号を出力する。システムにVALID信号(0のとき無効, 1のとき有効)がある場合は、図6に示すように比較器のANDゲートAの入力にVALID信号を接続する。これによって、同じデータが連続して入力された場合以外で無効なデータが入力された場合も、各ステージのフリップフロップ群のクロックとクロックツリーとにクロックを供給することを停止することができ、更に消費電力を低減することができる。その他の構成及び動作は第一の実施の形態の低消費電力回路と同様である。

【0033】以上本発明の第三の実施の形態の低消費電力回路によれば、フリップフロップ群D1(D1-0, D1-1, ..., D1-10, D1-11, ...等)に入力される入力データ群とそのフリップフロップ群から出力される出力群D1(D1-0, D1-1, ..., D1-10, D1-11, ...等)との信号が一致した場合にクロック停止信号を出力する比較器3と、このクロック停止信号を前記フリップフロップ群で使用されるエッジとは異なるエッジで順に後段に転送する複数の制御信号転送用フリップフロップ(FF1, FF2, ...等)と、制御信号転送用フリップフロップ(FF1, FF2, ...等)の出力信号によりクロックの供給を停止するための複数の所定ゲート(G1, G2, ...等)と、を有して成り、入力されるデータが有効又は無効であることを示すVALID信号を入力する端子が比較器3に設けられることにより、各フリップフロップ群のクロックとクロックツリーとにクロックを供給することを停止でき、より消費電力を低減することができる。また、タイミング調整が容易で誤動作をしないようにすることができる。更に、フリップフロップの個数に比例して回路面積が増加しないようにすることができる。

【0034】

【実施例】実施例1

本発明の実施例1の低消費電力回路を用いた場合の計算を以下に詳細に説明する。消費電力の計算には、NEC CMOSゲートアレイCMOS9HDファミリ設計マニュアル(資料番号A12985JJ3V0DM00)のP261~P263に記載された計算式を用いる。1セル、1MHzあたりの消費電力はNEC CMOSゲートアレイCMOS9HDファミリ設計マニュアルに以下のように記載されている。

・フリップフロップの消費電力

データが動作する場合の消費電力 PD(DATA):
0.412 (μ W)

クロックが動作する場合の消費電力 PD(CLK):
0.121 (μ W)

・組み合わせ回路の消費電力

PD(GATE): 0.524 (μ W)

また、クロック信号とデータ入力とが同じ周期の場合

は、データを1ビット毎に考慮すればデータは0又は1であるので、平均すると動作率は50%であると考えられる。データ幅が64ビットでパイプラインのステージ数が10の場合は、データ処理回路、本発明の低消費電力回路の構成を、NEC CMOSゲートアレイCMOS9HDファミリブロックライブラリ(資料番号A13052XJ3V1UM00)を用いて構成すると以下のように構成することができる。

・データ処理回路(合計 5360セル)

立ち上がりエッジ動作のフリップフロップ64個×10ステージ: F611(8セル)×64×10=5120(セル)

クロックツリーを構成するバッファ(フリップフロップ8個に1個挿入): F112(3セル)×8×10=240(セル)

・本発明の低消費電力回路(合計346セル)

比較器で使用する排他的ORゲート64個, 8入力ANDゲート9個: L512(3セル)×64+L318(6セル)×9=246(セル)

制御信号転送用の立ち下がりエッジ動作のフリップフロップ10個: F631(8セル)×10=80(セル)
ANDゲート10個: F312(2セル)×10=20(セル)

上記の構成で、入力データの変化率が90%(この変化率は、入力データ100個の中、10回同じデータが連続して入力されることを意味する)のとき、本発明の低消費電力回路の場合で消費電力は1698.78(μ W)となる。

【0035】本発明の低消費電力回路において、データ処理回路のフリップフロップのクロックとクロックツリーの動作率は90%となる。この本発明の低消費電力回路を用いた場合の消費電力の計算の詳細を以下に示す。

・データ処理回路(消費電力1620.00(μ W))

フリップフロップのデータ: 0.412×5120×90%×50%=949.25(μ W)

フリップフロップのクロック: 0.121×5120×90%=557.57(μ W)

クロックツリー: 0.524×240×90%=113.18(μ W)

したがって、本発明の低消費電力回路を用いた場合のデータ処理回路における消費電力の合計は1620.00(μ W)となる。

・本発明の低消費電力回路(78.78(μ W))

比較器: 0.524×246×90%×50%=58.01(μ W)

制御信号転送用フリップフロップのデータ: 0.412×80×10%×50%=1.65(μ W)

制御信号転送用フリップフロップのクロック: 0.121×80×100%=9.68(μ W)

制御信号転送用フリップフロップのANDゲート: 0.

$$524 \times 20 \times 90\% = 9.44 (\mu W)$$

これによって、本発明の低消費電力回路における消費電力の合計は78.78 (μW)となる。したがって、本発明の低消費電力回路を用いた場合の消費電力は、1698.78 (μW)となる。

【0036】比較例1

従来例1 (特開平07-044265号公報)の低消費電力回路を用いた場合 (VALID信号は0の場合)の消費電力を計算して、従来例1と本実施例との低消費電力回路を比較して説明する。従来例1において、データ幅が64ビットでパイプラインのステージ数が10の場合は、データ処理回路、従来例1の低消費電力回路の構成を、NEC CMOSゲートアレイCMOS9HDファミリブロックライブラリ (資料番号 A13052XJ3V1UM00)を用いて構成すると以下のように構成することができる。・従来例1の低消費電力回路 (合計92セル)

VALID信号転送用フリップフロップ: F611 (8セル) $\times 9 = 72$ (セル)

ORゲート: L212 (2セル) $\times 10 = 20$ (セル)

ここで、データ処理回路の構成は本実施例の場合のデータ処理回路と同様とする。上記の構成で、入力データの変化率が90% (この変化率は、入力データ100個の中、10回同じデータが連続して入力されることを意味する)のとき、従来例1の低消費電力回路の場合で消費電力は1713.72 (μW)となる。従来例1のデータ処理回路のフリップフロップのクロックとクロックツリーとの動作率は100%になる。この従来例1の低消費電力回路を用いた場合の消費電力の計算の詳細を以下に示す。

・データ処理回路 (消費電力1694.53 (μW))
フリップフロップのデータ: $0.412 \times 5120 \times 90\% \times 50\% = 949.25 (\mu W)$

フリップフロップのクロック: $0.121 \times 5120 \times 100\% = 619.52 (\mu W)$

クロックツリー: $0.524 \times 240 \times 100\% = 125.76 (\mu W)$

したがって、従来例1の低消費電力回路を用いた場合のデータ処理回路における消費電力の合計は1694.53 (μW)となる。

・従来例1の低消費電力回路 (19.19 (μW))

VALID信号転送用フリップフロップのデータ: $0.412 \times 72 \times 0\% \times 50\% = 0 (\mu W)$

VALID信号転送用フリップフロップのクロック: $0.121 \times 72 \times 100\% = 8.71 (\mu W)$

VALID信号転送用フリップフロップのORゲート: $0.524 \times 20 \times 100\% = 10.48 (\mu W)$

これによって、従来例1の低消費電力回路における消費電力の合計は19.19 (μW)となる。したがって、従来例1の低消費電力回路を用いた場合の消費電力は、

1713.72 (μW)となる。

【0037】以上の消費電力の計算結果から従来例1の低消費電力回路を用いた場合の消費電力は、1713.72 (μW)であり、本実施例の低消費電力回路を用いた場合の消費電力は、1698.78 (μW)となり、本実施例の低消費電力回路は、従来例1と比較して消費電力が少ないことがわかる。また、上述の消費電力の計算から明らかなように、データの動作率が低くなればなる程、またデータの幅とパイプラインのステージ数が大きくなればなる程、データ処理回路のフリップフロップのクロック及びクロックツリーの消費電力を低減させることができる。

【0038】実施例2

本発明の実施例2の低消費電力回路を用いた場合の回路面積の計算を以下に詳細に説明する。回路面積はセル数に比例するので、ここでは本発明の低消費電力回路を用いた場合の回路のセル数を計算する

・データ処理回路 (合計 5360セル)

立ち上がりエッジ動作のフリップフロップ64個 $\times 10$ ステージ: F611 (8セル) $\times 64 \times 10 = 5120$ (セル)

クロックツリーを構成するバッファ (フリップフロップ8個に1個挿入): F112 (3セル) $\times 8 \times 10 = 240$ (セル)

・本発明の低消費電力回路 (合計346セル)

比較器で使用する排他的ORゲート64個、8入力ANDゲート9個: L512 (3セル) $\times 64 + L318$ (6セル) $\times 9 = 246$ (セル)

制御信号転送用の立ち下がりエッジ動作のフリップフロップ10個: F631 (8セル) $\times 10 = 80$ (セル)
ANDゲート10個: F312 (2セル) $\times 10 = 20$ (セル)

これらの計算により、本発明の低消費電力回路を用いた場合のセル数は、5706セルである。

【0039】比較例2

従来例2 (特開平10-290143号公報)の低消費電力回路を用いた場合の回路面積を計算して、従来例2の低消費電力回路を用いた場合と本発明の低消費電力回路を用いた場合との面積について比較して説明する。

【0040】従来例2の低消費電力回路を用いた場合の回路面積は、CMOS9HDのライブラリを用いると、データ幅が64ビットでパイプラインのステージが10の場合のセル数は以下のように計算される。

・ (排他的ORゲート+ANDゲート+フリップフロップ) $\times 64$ 個 $\times 10$ ステージ: (L512 (3セル) + F312 (2セル) + F611 (8セル)) $\times 64 \times 10 = 8320$ (セル)

・クロックツリーを構成するバッファ (フリップフロップ8個に1個挿入): F112 (3セル) $\times 8 \times 10 = 240$ (セル)

これによって、セル数は合計 8 5 6 0 (セル) となる。
 以上の回路面積の計算結果から従来例 2 の低消費電力回路を用いた場合のセル数は、8 5 6 0 (セル) であり、本実施例の低消費電力回路を用いた場合のセル数は、5 7 0 6 (セル) となり、本実施例の低消費電力回路は、従来例 1 と比較して回路面積が小さいことがわかる。また上述の回路のセル数の計算から、フリップフロップの個数が増えても、回路面積の増加は少なく抑えることができることがわかる。

【0041】

【発明の効果】本発明の低消費電力回路によれば、クロックを停止する(入力データが有効又は無効であるかを示す)信号を外部から与えなくても、消費電力を低減することができる。また、同じデータが連続して入力された場合、フリップフロップとフリップフロップのクロックを駆動するクロックツリーとへのクロック供給を停止させ、消費電力の低減ができる。更に、タイミング調整が容易で誤動作をしないようにすることができる。また、フリップフロップの個数に比例して回路面積が増加しないようにすることができる。

【図面の簡単な説明】

【図 1】 本発明における第一の実施の形態のデータ処理回路に接続した低消費電力回路の回路図である。

【図 2】 本発明における第一の実施の形態の低消費電力回路の比較器 3 の回路図である。

【図 3】 本発明における第一の実施の形態の低消費電力回路の動作を示すタイミング図である。

【図 4】 本発明における第二の実施の形態のデータ処理回路に接続した低消費電力回路回路図である。

【図 5】 本発明における第三の実施の形態のデータ処理回路に接続した低消費電力回路の回路図である。

【図 6】 本発明における第三の実施の形態の低消費電力回路の比較器 3 の回路図である。

【図 7】 データ処理回路に接続した従来例 1 の低消費電力回路の回路図を示す。

【図 8】 データ処理回路に接続した従来例 1 の低消費電力回路の動作を示すタイミング図である。

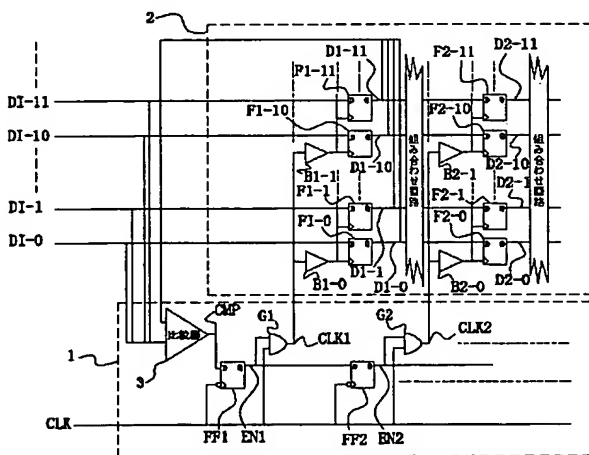
【図 9】 従来例 2 の低消費電力回路の回路図を示す。

【図 10】 従来例 2 の低消費電力回路の動作を示すタイミング図である。

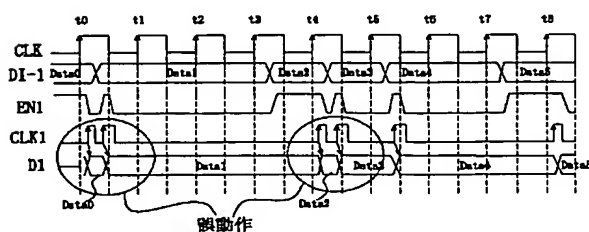
【符号の説明】

1	低消費電力回路
2	データ処理回路
3	比較器
D I - 0, ..., D I - 1 0, ...等	フリップフロップ群
D 1 - 0, ..., D 1 - 1 0, ...等	出力群
F F 1, F F 2, ...等	制御信号転送用フリップフロップ
G 1, G 2, ...等	ANDゲート

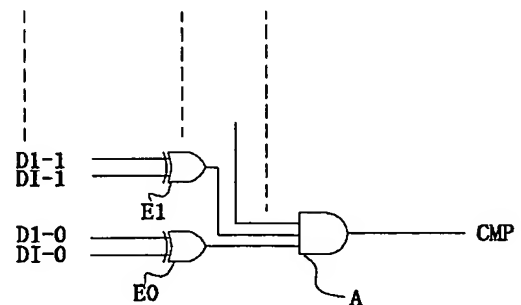
【図 1】



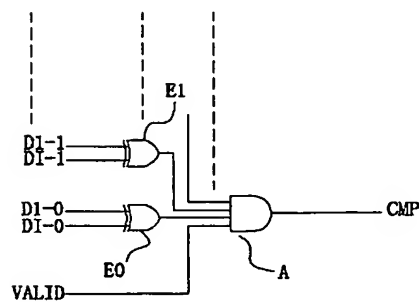
【図 10】



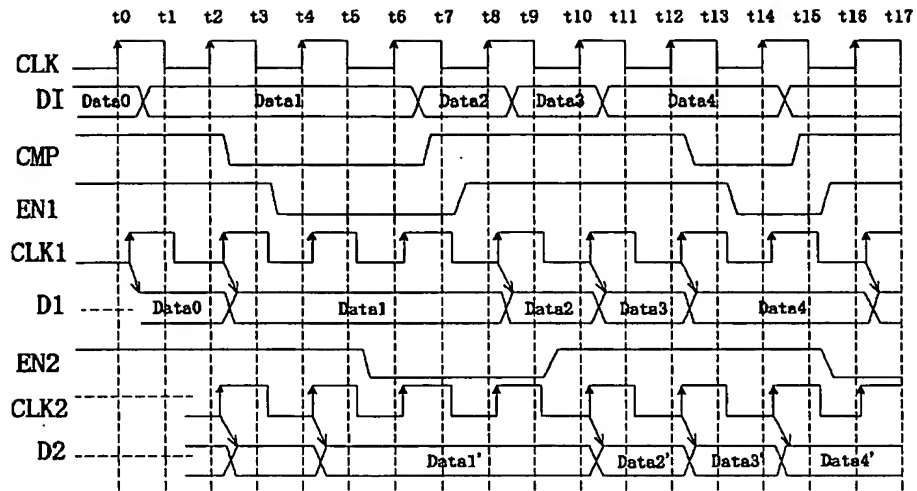
【図 2】



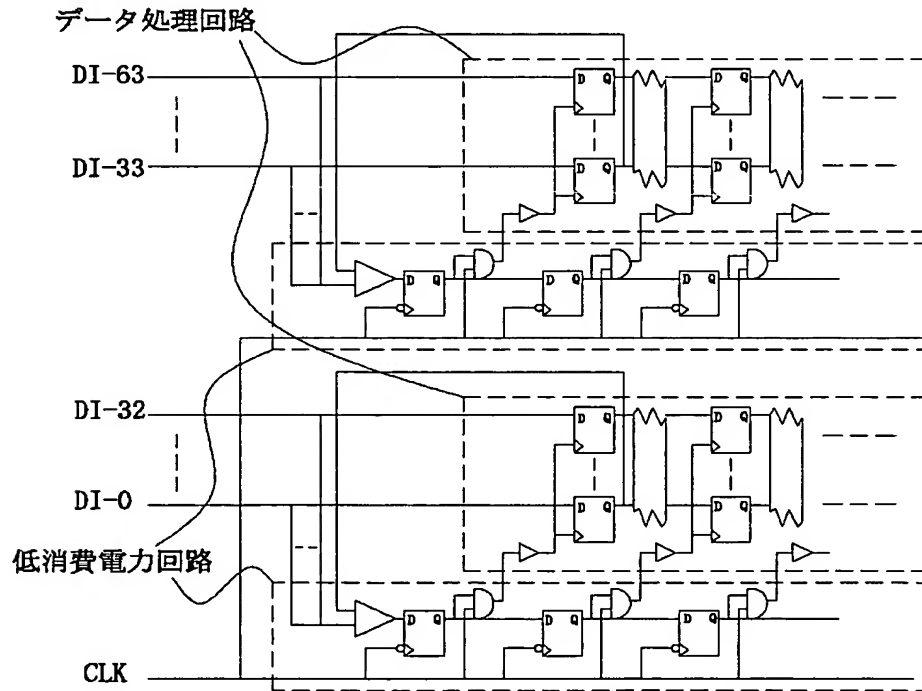
【図 6】



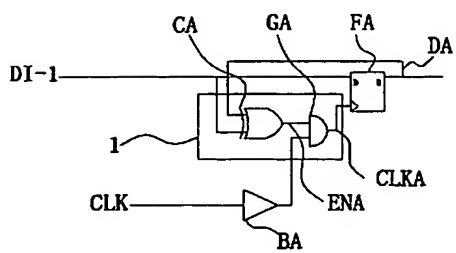
【図3】



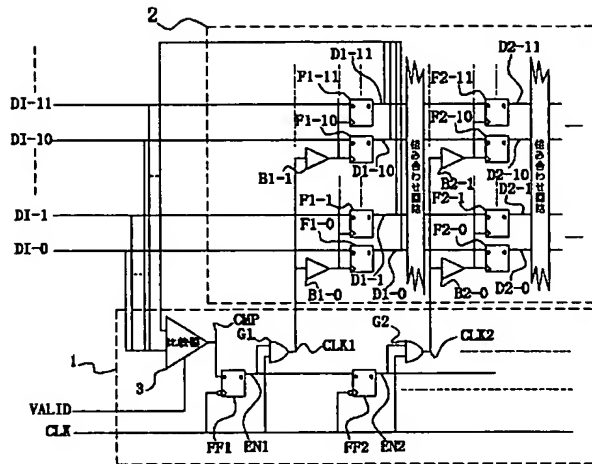
【図4】



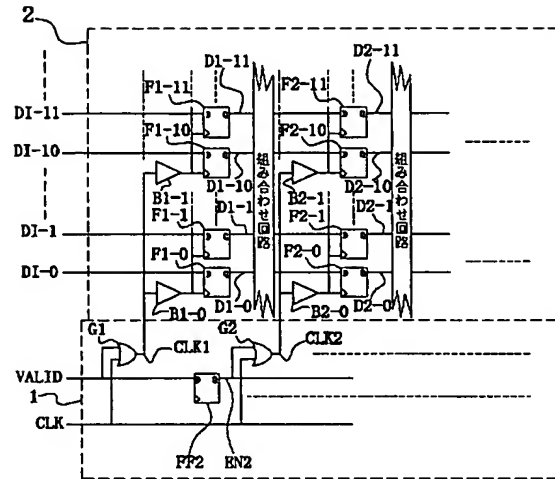
【図9】



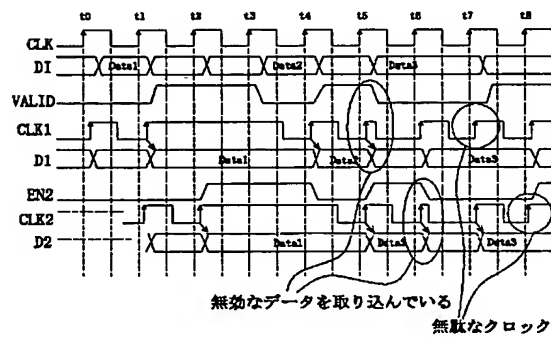
【図 5】



【図 7】



【図 8】



フロントページの続き

Fターム(参考) 5B013 AA11
 5B079 BA12 BB02 BC01 DD20
 5J043 AA03 EE01 HH01 HH04 HH05
 HH06 JJ04